

Apparatus and method for controlling data strobe signal in DDR SDRAM

Patent Number: ☐ US6215710
Publication date: 2001-04-10
Inventor(s): CHU SHIN-HO (KR); HAN JONG-HEE (KR)
Applicant(s): HYUNDAI ELECTRONICS IND (US)
Requested Patent: ☐ JP2000173267
Application Number: US19990428535 19991028
Priority Number(s): KR19980045297 19981028
IPC Classification: G11C7/00
EC Classification: G11C7/10R, G11C7/10S
Equivalents: KR2000027381, TW446959

Abstract

A method for controlling a data strobe signal having preamble and postamble sections in a double data rate (DDR) synchronous dynamic random access memory (SDRAM), wherein the preamble section is a low signal section of the data strobe signal one clock before data is issued and wherein the postamble section is a low signal section of the data strobe signal half clock before the data issue is complete in a data issue section, includes the steps of: controlling a high impedance status of the data strobe signal at sections, except for the data issue section, the preamble section and the postamble section, in response to a first control signal, wherein the high impedance status is related to a level between high and low signal levels; and controlling a point of time when the preamble section of the data strobe signal begins in response to a second control signal

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-173267

(P2000-173267A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int.Cl. ¹	識別記号	F I	テ-マ-ト (参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S
G 0 6 F 12/00	5 6 4	G 0 6 F 12/00	5 6 4 A

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-307769

(22) 出願日 平成11年10月28日 (1999. 10. 28)

(31) 優先権主張番号 1 9 9 8 / P 4 6 2 9 7

(32) 優先日 平成10年10月28日 (1998. 10. 28)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市大鉢邑牙美里山136-1

(72) 発明者 韓 鍾 熙

大韓民国 京畿道 利川市 大鉢邑 牙美里 山 136-1 現代電子産業株式会社 内

(72) 発明者 秋 新 浩

大韓民国 京畿道 利川市 大鉢邑 牙美里 山 136-1 現代電子産業株式会社 内

(74) 代理人 100093399

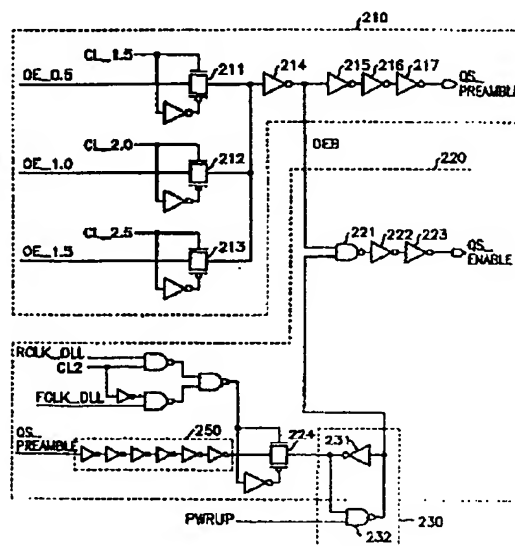
弁理士 瀬谷 徹 (外 1 名)

(54) 【発明の名称】 DDR SDRAMでデータストロープ信号を制御するための方法及び装置

(57) 【要約】

【課題】 データストロープ信号を制御する方法及び装置を提供する。

【解決手段】 DDR SDRAMでプリアンブル及びポストアンブル状態を有するデータストロープ信号を制御するための方法において、第1制御信号によりデータが出力される区間とプリアンブル区間及びポストアンブル区間の各区間以外の区間で上記データストロープ信号 (DQS) をハイインピーダンス (H-Z) 状態で制御して、第2制御信号により上記データストロープ信号の上記プリアンブル状態が始まる時点を制御することを特徴とする。



(2)

特開2006-173267

【特許請求の範囲】

【請求項1】 DDR SDRAMでプリアンプル及びポストアンプル状態を有するデータストロープ信号を制御するための方法において、

第1制御信号によりデータが出力される区間とプリアンプル区間及びポストアンプル区間の各区間以外の区間で上記データストロープ信号（DQS）をハイインピーダンス（Hi-Z）状態で制御し、

第2制御信号により上記データストロープ信号の上記プリアンプル状態が始まる時点制御することを特徴とするデータストロープ信号制御方法。

【請求項2】 上記第1制御信号が論理「ロー」である時、上記データストロープ信号は高インピーダンス（Hi-Z）状態を有し、上記第2制御信号が論理「ロー」から論理「ハイ」に移移する時、上記データストロープ信号がプリアンプル状態を始めるように制御することを特徴とする請求項1記載のデータストロープ信号制御方法。

【請求項3】 DDR SDRAMのデータストロープ信号制御装置において、

多数の「cas latency」情報と多数の出力イネーブル信号が入力されて、読み出し命令語が活性化された時点から、「cas latency」値より一つのクロックが少ないクロック数ほど遅延された出力イネーブル信号を選択し、第1制御信号として出力する第1制御信号発生手段と、

上記選択された出力イネーブル信号が活性化されると、活性化された第2制御信号を出力し、上記第1制御信号が非活性化されている間、「cas latency」情報によって選択されたライジング（rising）またはフォールリング遅延固定ループ信号に制御されて非活性化された第2制御信号を出力する第2制御信号発生手段と、

上記第2制御信号を初期化させるための初期化手段と、を含んでなることを特徴とするデータストロープ信号制御装置。

【請求項4】 上記第1制御信号発生手段は、「cas latency」情報にตอบสนองして出力イネーブル信号を伝達する第1伝達ゲートと、

上記第1伝達ゲートからの出力をバッファリングするための偶数個の直列連結されたインバータと、を含んでなることを特徴とする請求項3記載のデータストロープ信号制御装置。

【請求項5】 上記第2制御信号発生手段は、「cas latency」によって選択されたライジングクロック遅延固定ループ信号、またはフォールリングクロック遅延固定ループ信号にตอบสนองして上記第1制御信号を伝達する第2伝達ゲートと、

上記第1伝達ゲートを介して出力された出力イネーブル信号の反転された信号を一つの入力として、上記第2伝達ゲートを介して伝達されてきた信号の反転された信号を他の入力とする第1ナンドゲートと、

を含んでなることを特徴とする請求項1記載のデータ

ストロープ信号制御装置。

【請求項6】 初期化手段は、上記第1ナンドゲートの他入力端を初期化させるように、パワーアップ信号を一つの入力とし、上記第2伝達ゲートを介して伝達された信号を他の入力とする第2ナンドゲートと、

上記第2伝達ゲートの出力ノードをラッチさせるラッチと、

を含んでなることを特徴とする請求項5記載のデータストロープ信号制御装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は次世代メモリー素子であるDDR（double data rate）SDRAM（synchronous DRAM）に関し、特にDDR SDRAMの読み出し（Read）動作時に使われるデータストロープ信号（data strobe signal）を制御する方法及び装置に関するものである。

【0002】

【従来の技術】周知のように、半導体メモリー素子において、DRAMは、動作速度向上のために、外部のシステムクロックに同期して動作するSDRAMが広く使用されている。一方、通常のSDRAMは、クロックのライジング（rising）エッジ（edge）だけを使用する素子であるのに対し、DDR SDRAMは、クロックライジング及びフォールリング（falling）エッジを共に使用するために、さらに高速度動作を実現できることから次世代DRAMとして大きな脚光を浴びている。一方、データを読み出す時、メモリーチップセット（chip set）での各チップ間に発生するタイムスキュー（time skew）を最小化するために、データストロープ信号を使用している。

【0003】図1は、DDR SDRAMでデータ読み出し（Read）の際のタイミングを表すものであり、図1では、「cas latency」（読み出し命令が入ったクロックの時点からデータが読み出される時までのクロック数を規定したもの）が2であり、「burst length」（連続して処理するデータ数を規定したもの）が4である場合のタイミング図である。

【0004】図1に示すように、DDR SDRAMは、読み出し（Read）動作の際に、データストロープ信号（DQS）がイネーブルである時点に合せてライジングエッジ及びフォールリングエッジで全てデータを送り出す必要がある。ところが、クロックの周期（cycle）が8nsec程度であると、ライジング及びフォールリングの際の時間（約1nsec）とその他のスペックを合わせるための時間などを引けば、実質的に約6nsec以下の時間内に一つのデータを連続的に出力しなければならない。このために、データストロープ信号（DQS）は、ハイインピーダンス（Hi-Z）、ハイレベルとローレベル間のレベル）状態を維持し、データが出てくる一つのクロック前に予めHi-Z状態を有するべきであり（preamble）、データが出てくる際には、そのエッジにデータストロープ信号を送る。

(3)

特開2004-173267

が一致すべきであり (edge trigger)、最後のデータが出てくる際に、その半クロックの間、'ロー'を維持すべきである (postamble)。

【0005】このようなデータストローブ信号のプリアンブル区間とポストアンブル区間を設定するためにはデータストローブ信号を制御しなければならないが、従来においては一つの制御信号を使用してデータストローブ信号を制御する方式を使用している。

【0006】図2は従来技術に係るデータストローブ信号制御方法を表すタイミング図であり、'cas latency'が2で、'burst length'が2である場合、すなわち、読み出し命令語 (RD1)が発生した後、二つのクロック後に二つのデータ (DQ)が連続的に出てくる場合である。図2に示すように、従来はデータストローブイネーブル信号 (QS_ENABLE)でデータストローブ信号 (DQS)を制御した。ところが、仮りに読み出し命令語 (RD1)が発生した後、二つのクロック後に読み出し命令語 (RD2)が入力されると、データストローブ信号 (DQS)のポストアンブル区間 (図面のA)とプリアンブル区間 (図面のB)は引き続きになるが、この時、データストローブイネーブル信号 (QS_ENABLE)は必ず'ロー'に落ちてから'ハイ'に上がる区間 (図面のC)があるべきである。しかし、もしこの区間があまりに小さくて上昇エッジを認識できなければ、プリアンブル区間 (B)はなくなる。これを克服しようとするデータストローブイネーブル信号 (QS_ENABLE)が、'ハイ'から'ロー'に非活性化される時点を早くするか、さもなければ、'ロー'から'ハイ'に活性化される時点を遅くすれば良いが、前者の場合はポストアンブル区間 (A)に影響を与え、後者の場合はプリアンブル区間 (B)に影響を与える。

【0007】このように、一つの制御信号としてデータストローブ信号を制御する方法は、データストローブ信号の正確なプリアンブルまたはポストアンブル区間を設定することは難しく、これにより正確なデータ読み出しがむずかしいという問題点がある。

【0008】

【発明が解決しようとする課題】上記したように、DDR SDRAMの読み出し (Read) 駆動時、データストローブ信号はハイインピーダンス (Hi-Z) 状態を維持し、データが出てくる一つのクロック前にプリアンブル区間を有すべきであり、データとデータストローブ信号間にエッジトリガー (edge trigger) がなされるべきであり、最後のデータが出てくる時、半クロック間、ポストアンブル区間を有するべきであるが、本発明はこのような諸般の要求事項を充足させるために、データストローブ信号を制御する方法及び装置を提供することにその目的がある。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明においては、DDR SDRAMでプリアンブル及びポ

ストアンブル状態を有するデータストローブ信号を制御する方法において、第1制御信号によりデータが出力される区間とプリアンブル区間、及びポストアンブル区間の各区間以外の区間で上記データストローブ信号 (DQS)をハイインピーダンス (Hi-Z) 状態に制御し、第2制御信号により上記データストローブ信号の上記プリアンブル状態が始まる時点制御することを特徴とする。

【0010】また本発明は、DDR SDRAMのデータストローブ信号制御装置において、多数の'cas latency'情報と多数の出力イネーブル信号が入力されて、読み出し命令語が活性化された時点から、'cas latency'値より一つのクロックが少ないクロック数ほど遅延された出力イネーブル信号を選択して、第1制御信号として出力する第1制御信号発生手段と、上記選択された出力イネーブル信号が活性化されれば、活性化された第2制御信号を出力して、上記第1制御信号が非活性化されている間、'cas latency'情報によって選択されたライジングまたはフォールディング遅延固定ルーブ信号に制御されて、非活性化された第2制御信号を出力する第2制御信号発生手段と、上記第2制御信号を初期化させるための初期化手段とを含む。

【0011】

【発明の実施の形態】以下、本発明が属する技術分野において通常の知識を有する当業者が本発明の技術的思想を容易に実施可能であるように、本発明の最も望ましい実施例を、添付の図面を参照して詳細に説明する。

【0012】図3は本発明の技術的構成を表すブロック構成図であり、この図3に示したように、本発明に係るデータストローブ信号制御装置 (200)は、'cas latency'信号CLと、出力イネーブル信号OE及びクロック信号CLKを入力して (100)、データストローブ信号ドライバ (300)を制御するための制御信号として、制御信号QS_ENABLEと制御信号QS_PREAMBLE信号を発生している。

【0013】図4は本発明にかかるデータストローブ信号制御方法を表すタイミング図であり、'cas latency'が2で、'burst length'が2である場合であり、読み出し命令語 (RD1)が発生した後、3クロック後に読み出し命令語 (RD2)が入力される場合である。図4に示したように、制御信号QS_PREAMBLEは、データストローブ信号 (DQS)のプリアンブル状態が始まる時点に制御するが、制御信号QS_PREAMBLEが、論理'ロ'から論理'ハイ'に移移する時、データストローブ信号 (DQS)がプリアンブル状態を始める。

【0014】制御信号QS_ENABLEは、データが出力される区間とプリアンブル区間及びポストアンブル区間の各区間以外の区間で、上記データストローブ信号 (DQS)をハイインピーダンス (Hi-Z) 状態に制御する。制御信号QS_ENABLEが論理'ロー'である時、上記データスト

特開2000-173267

(4)

ローブ信号は高インピーダンス (III-2) 状態となる。

【0015】図5は、'cas latency' が2で、'burst length' が2である場合、そして読み出し命令語 (RD1) が発生した後、2クロック後に読み出し命令語 (RD2) が入力される場合に、本発明によってデータストローブ信号が制御される状態を示す。この時には、データストローブ信号 (DQS) のホストアンプル区間 (図面のA) とプリアンプル区間 (図面のB) は引き続きになるが、この時、データストローブ信号 (DQS) のプリアンプル区間 (図面のB) の始まりは、制御信号QS_ENABLEの上昇エッジに制御されるのではなく、制御信号QS_PREAMBLEの上昇エッジに制御されるため、プリアンプル区間 (B) が正確に設定される。

【0016】図6は本発明の一実施例に係るデータストローブ信号制御装置 (200) を表す回路図であり、図7は、'cas latency' が2である場合にこれによる各信号の波形を表すタイミング図である。図6を参照すれば、本発明の一実施例に係るデータストローブ信号制御装置 (200) は、制御信号QS_ENABLEを発生させる制御信号発生部 (210) と、制御信号QS_PREAMBLEを発生させる制御信号発生部 (210)、及びパワーアップ信号 (PWRUP) により、データストローブ信号制御装置 (200) を初期化させる初期化部 (230) で構成される。

【0017】具体的に、図6と図7を参照すれば、制御信号発生部 (210) は、'cas latency' が1.5である (読み出し命令語が活性化された後、1.5クロック後にデータが出力される) ことを知らせる信号CL_1.5が活性化される場合、読み出し命令語が活性化された時点から半クロックほど遅延された出力イネーブル信号OE_0.5を制御信号QS_PREAMBLEとして出力し、'cas latency' が2である (読み出し命令語が活性化された後2クロック後にデータが出力される) ことを知らせる信号CL_2.0が活性化される場合、読み出し命令語が活性化された時点から一つのクロックほど遅延された出力イネーブル信号OE_1.0を制御信号QS_PREAMBLEとして出力し、'cas latency' が2.5である (読み出し命令語が活性化された後2.5クロック後にデータが出力される) ことを知らせる信号CL_2.5が活性化される場合、読み出し命令語が活性化された時点から1.5クロックほど遅延された出力イネーブル信号OE_1.5を制御信号QS_PREAMBLEとして出力するように構成されている。

【0018】すなわち、制御信号発生部 (210) は、多数の'cas latency' 情報 (CL_1.5、CL_2.0、CL_1.5) と、多数の出力イネーブル信号 (OE_0.5、OE_1.0、OE_1.5) を入力されて、読み出し命令語 (RD) が活性化された時点から、'cas latency' 値より一つのクロックが小さいクロック数ほど遅延された、出力イネーブル信号を制御信号QS_PREAMBLEとして出力する。本実施例では図面に示したように、制御信号発生部 (210) を構成

することにおいて、'cas latency' によって適切に遅延された出力イネーブル信号を伝達するために、NMOSトランジスターとPMOSトランジスターとの対でなされた伝達ゲート (211、212、213) を使用し、出力バッファリングのためにインバータ (214、215、216) を使用した。

【0019】制御信号発生部 (220) は、'cas latency' 情報によって選択された出力イネーブル信号が 'ハイ' に活性化されると制御信号QS_ENABLEが 'ハイ' に活性化され、制御信号QS_PREAMBLEが 'ロー' に非活性化されている間、ライジングまたはフォールディングクロック遅延固定ループ信号RCLK_DLL、またはFCLK_DLLが 'ハイ' に活性化されると、制御信号QS_ENABLEが 'ロー' に非活性化されるように構成されている。ライジングクロック遅延固定ループ信号RCLK_DLLは、メインクロック (CLK) のライジングエッジでパルスを有し、フォールディングクロック遅延固定ループ信号FCLK_DLLは、メインクロック (CLK) のフォールディングエッジでパルスを有する。

【0020】さらに具体的に説明すれば、制御信号QS_ENABLEを出力するナンドゲート (221) (直列連結された二つのインバータ (222、223) は無視して説明する) は、信号OEBを一つの入力とするために、信号OEBが 'ロー' を維持すれば無条件制御信号QS_ENABLEを 'ハイ' に維持する。すなわち、信号OEBは、インバータ (214) により 'cas latency' 情報によって選択された出力イネーブル信号の反転された信号であるため、'cas latency' 情報によって選択された出力イネーブル信号が 'ハイ' に活性化されると制御信号QS_ENABLEが 'ハイ' に活性化される。一方、ナンドゲート (221) は、伝達ゲート (224) を介して制御信号QS_PREAMBLEの反転された信号を他の側の入力として入力し、伝達ゲート (224) は、'cas latency' 情報によって選択されたライジングまたはフォールディングクロック遅延固定ループ信号RCLK_DLL、またはFCLK_DLLをゲート入力とするために、信号OEBが 'ハイ' を維持して制御信号QS_PREAMBLEが 'ロー' を維持する時、ライジングまたはフォールディングクロック遅延固定ループ信号RCLK_DLL、またはFCLK_DLLが 'ハイ' に活性化されると、制御信号QS_ENABLEが 'ロー' に非活性化される。

【0021】本実施例では、伝達ゲート (224) のゲートを制御するライジングまたはフォールディングクロック遅延固定ループ信号RCLK_DLL、またはFCLK_DLLを選択することにおいて、'cas latency' 信号CL2が 'ハイ' であるとライジングクロック遅延固定ループ信号RCLK_DLLが伝達ゲート (224) のゲートを制御し、'cas latency' 信号CL2が 'ロー' であるとフォールディングクロック遅延固定ループ信号FCLK_DLLが伝達ゲート (224) のゲートを制御するように、3つのナンドゲートで実施構成した。

【0022】初期化部 (230) は、リセット信号 (RST)

特開2000-173267

(5)

21)の他入力端を初期化するように、パワーアップ信号(PWRUP)を一つの入力として伝達ゲート(224)を介して伝えられた制御信号QS_PREAMBLEを他の入力とするナンドゲート及びラッチで実施構成にされている。

【0023】本発明の技術思想は上記望ましい実施例によって具体的に説明したが、上記した実施例はその説明のためのものでありその制限のためのものではないことを注意するべきである。また、本発明の技術分野の通常の専門家である当業者ならば本発明の技術思想の範囲内で多様な実施例が可能であることが理解できる。

【0024】

【発明の効果】以上説明したように、本発明は二つの制御信号を使用してデータストローブ信号を制御することにより、DDR SDRAMの読み出し(Read)駆動時、データストローブ信号が有するべきプリアンプル区間とポストアンプル区間とを正確に、そして安定的に設定できるため、データ出力を安定的に駆動できる。

【図面の簡単な説明】

【図1】DDR SDRAMでのデータ読み出し(Read)際のタイミング図である。

【図2】従来技術に係るデータストローブ信号制御方法を表すタイミング図である。

【図3】本発明の技術的構成を表すブロック構成図である。

【図4】本発明に係るデータストローブ信号制御方法を表すタイミング図である。

【図5】本発明に係るデータストローブ信号制御方法を表すタイミング図である。

【図6】本発明の一実施例に係るデータストローブ信号制御装置を表す回路図である。

【図7】図6の各信号に対するタイミング図である。

【符号の説明】

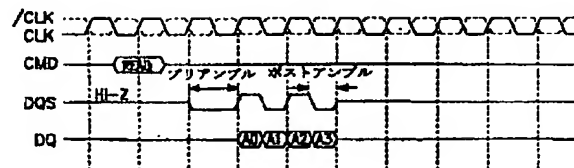
200 データストローブ信号の制御装置

210、220 制御信号発生部

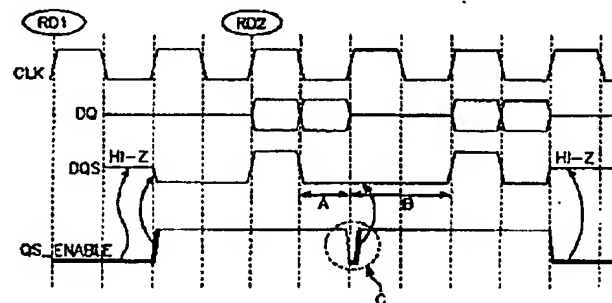
230 初期化部

300 データストローブドライバー

【図1】



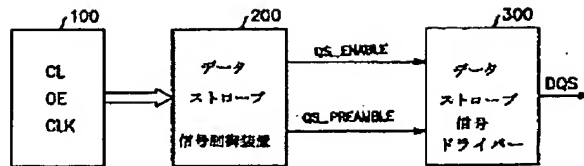
【図2】



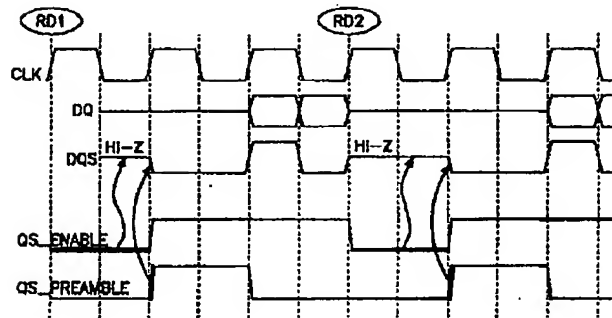
特開2006-173267

(6)

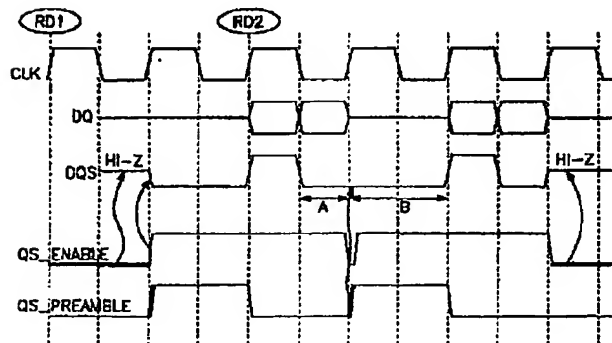
【図3】



【図4】



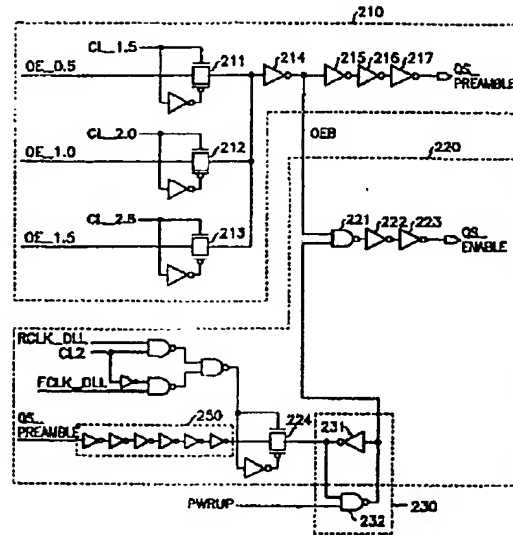
【図5】



(7)

特開2000-173267

【図6】



【図7】

